

В статье рассмотрены пути уменьшения джиттера сигналов на выходе тактовых генераторов, построенных на базе ИМС компании Analog Devices. Приведены результаты моделирования работы таких генераторов в специализированной программе ADIsimCLK<sup>TM</sup> Reference Design.

#### В. Макаренко

Так как требования к быстродействию и разрешению преобразователей данных постоянно растут, повышается спрос на генераторы более высокой тактовой частоты с низким фазовым шумом. С проблемой фазового шума (джиттера) сталкиваются конструкторы базовых станций сотовой связи, радарных и других систем, которые работают на высоких частотах. Практически каждая сложная система требует нескольких тактовых частот, сигнал самой высокой из которых формируется с помощью синтезатора частоты, а сигналы более низких частот – с помощью делителей частоты.

В качестве источника системных тактовых импульсов применяются надежные прецизионные опорные источники импульсов, чаще всего – кварцевые генераторы. Для формирования нескольких различных частот в системе можно использовать либо несколько прецизионных кварцевых генераторов, либо синтезатор с системой ФАПЧ и набор делителей частоты, что гораздо эффективнее с экономической точки зрения. Если необходимо сформировать несколько копий тактового сигнала, для разветвления нужна буферизация.

Джиттер (или фазовый шум кварцевого генератора) не зависит от его точности и стабильности частоты. Для кварцевых генераторов суммарный джиттер не должен быть больше единиц пикосекунд. Фазовый шум указывается в некотором диапазоне частот.

В синтезаторе с системой ФАПЧ фазовый шум выходного сигнала больше, чем фазовый шум опорного генератора. Причем фазовый

## WAYS TO REDUCE JITTER OF CLOCK GENERATORS

Abstract - T he article considers the ways to reduce jitter of signal output clocks, built on the basis of ADI ICs. The modeling results of such generators in specialized program ADIsimCLK<sup>™</sup> Reference Design are given in the article.

V. Makarenko

ЭКиС

шум опорного генератора в области частот, входящих в полосу пропускания цепи обратной связи, на выходе синтезатора практически не ослабляется, тогда как шум, лежащий вне полосы пропускания, ослабляется со скоростью спада 20 дБ/декаду. Это позволяет в синтезаторе с ФАПЧ отфильтровать часть джиттера входного опорного сигнала, снизив тем самым общий джиттер сигнала и фазовый шум. Однако ФНЧ в петле ФАПЧ для сигнала ГУН работает как фильтр верхних частот [1] и поэтому не уменьшает фазовый шум генератора.

Фазовый шум синтезатора в пределах полосы пропускания фильтра ФАПЧ равен

$$\lambda = \lambda_1 + 20 \lg N,$$

где  $\lambda_1$  — пересчитанный ко входу фазового детектора суммарный уровень фазовых шумов опорного сигнала, фазового детектора, фильтра и усилителя цепи обратной связи, N — коэффициент деления делителя частоты в цепи обратной связи синтезатора.

Из выражения следует, что при высоком разрешении по частоте и высокой выходной частоте синтезатора фазовый шум может достигать значительной величины. Например, для получения выходного сигнала частотой 1 ГГц с разрешающей способностью 1 МГц коэффициент N = 1000 и фазовый шум возрастет на 60 дБ. Для уменьшения уровня фазового шума в цепь обратной связи синтезатора включают смеситель и сравнение сигналов в фазовом детекторе производят на более низкой частоте [1], что позволяет снизить величину

№ 2-3, февраль-март 2014

коэффициента деления и тем самым уменьшить уровень фазовых шумов.

ЭКиС

Снизить суммарный коэффициент деления можно, используя дробные коэффициенты деления, – делением частоты на N+1 каждые Mпериодов сигнала и делением на N в течение остального промежутка времени. В этом случае усредненный коэффициент деления будет равен (N+1)/M, где N и M – целые числа. Для заданного значения частотного шага синтезаторы с дробным коэффициентом деления позволяют использовать более высокую частоту сравнения на входе фазового детектора, что способствует уменьшению фазового шума и увеличению скорости перестройки синтезатора. Основной недостаток дробного деления повышенное содержание негармонических спектральных составляющих, возникающих из-за фазовых ошибок, присущих технологии дробного деления.

Если требования к скорости перестройки частоты синтезатора не выдвигаются, что характерно для генераторов тактовых импульсов, то параметры петли ФАПЧ следует выбирать таким образом, чтобы получить требуемые характеристики при минимальной стоимости системы. Так, если требованиями оговорены малые шумы на частотах вблизи несущей, то следует выбрать удовлетворяющий этим условиям источник сигнала опорной частоты и спроектировать петлю ФАПЧ с широкой полосой частот, чтобы подавить шумы ГУН в требуемой полосе частот.

Если же необходимо получить малый шум на частотах, далеко отстоящих от несущей, можно использовать относительно недорогой источник сигнала опорной частоты, имеющий значительный уровень шума, и использовать узкополосную ФАПЧ для подавления шумов до допустимых значений.

В ИМС тактового генератора AD9523-1, выпускаемой компанией Analog Devices, использована модернизированная схема синтезатора, содержащая две петли ФАПЧ (рис. 1) [2, 3] – PLL1 и PLL2. Такое построение схемы генератора, по утверждению [2], позволяет обеспечить снижение уровня джиттера опорной частоты с помощью первого синтезатора и получить малый уровень фазового шума сигнала высокой частоты на выходе второго синтезатора. Однако схема, приведенная на рис. 1, не дает представ-



()

Рис. 1. Структурная схема тактового генератора AD9523-1

ления о том, каким образом достигаются такие результаты. Для пояснения необходимо обратиться к функциональной схеме генератора [3], приведенной на рис. 2.

На один из входов: REFA, REF SEL или **REFB** подается сигнал опорного кварцевого генератора. Подключение того или иного входа осуществляется с помощью программноуправляемого переключателя Switch-Over Control. В качестве ГУН (VCO) первого синтезатора используется внешний кварцевый генератор, управляемый напряжением (VCXO), а во втором синтезаторе используется встроенный ГУН. Схема второго синтезатора не отличается от классической, а фазовый детектор первого синтезатора сравнивает сигнал генератора опорной частоты, подключенного к одному из входов REF, с сигналом, формируемым на выходе второго синтезатора. Выходной сигнал фазового детектора первого синтезатора управляет частотой генератора VCXO, который является источником опорного сигнала для второго синтезатора.

Благодаря такой организации схемы генератор обеспечивает: формирование выходных сигналов в диапазоне частот от 1 МГц до 1 ГГц на 14-и конфигурируемых выходах (LVPECL, LVDS, HSTL и LVCMOS), временной сдвиг между сигналами различных выходов не превышает 50 пс, абсолютная величина джиттера на частоте 122.88 МГц – не более 150 фс при частоте опорного сигнала на входе 30.72 МГц. Температурная нестабильность не превышает  $\pm 100 \ ppm$  и полностью определяется параметрами кварцевого генератора, управляемого на-



Рис. 2. Функциональная схема тактового генератора AD9523-1

пряжением (VCXO), который используется в качестве источника опорной частоты [3].

Анализ характеристик такой сложной схемы без использования специальных программных средств весьма затруднителен и поэтому специалистами компании Analog Devices была разработана программа ADIsimCLK<sup>TM</sup> Reference Design Tools, которую можно бесплатно скачать [4], предварительно пройдя несложную регистрацию.

После запуска программы на экран вначале выводятся краткие рекомендации и урок работы с программой. Если отказаться от просмотра урока, то в открывшемся окне начала работы с программой (рис. 3) можно выбрать один из четырех вариантов:

- начать новый проект
- продолжить работу с сохраненным проектом
- открыть последний проект
- просмотреть урок моделирования работы тактового генератора.

После выбора пункта Create a New Design (Начать новый проект) и нажатия кнопки Ok на экран выводится окно (рис. 4) выбора ИМС тактового генератора (Select Device), в котором содержится информация о количестве выходов ИМС; максимальной выходной частоте; наличии встроенного синтезатора частоты на основе ФАПЧ (PLL); наличии встроенного ге-

Freste a New Design	
Cleate a New Design	
C Open an existing Design File	
С Open last Design File: .жит	тером\Design1.cl
C Start with a Reference Desi	gn
C Start with a Reference Design	gn
C Start with a Reference Desi 510_quick_start 511_quick_start	gn
C Start with a Reference Desi 510_quick_start 511_quick_start 512_quick_start	gn
C Start with a Reference Design 510_quick_start 511_quick_start 512_quick_start 513_quick_start	gn

Рис. 3. Окно начала работы с программой ADIsimCLK™

## ГЕНЕРАТОРЫ

ЭКиС

Part #	Outputs	MaxFoul	FLL	Ink VC0	MaxFin	Jiller	Max Flet	Vcc[Min]	Vcc[Max]	Vp	lce	,
D9520-1	24	1600	yes	2270 - 2650	2400	<225fs(ad)	250	27	3.3	5.3	-	
AD 9520-2	24	1600	yes	2020 - 2335	2400	<225Is(ad)	250	27	3.3	5.3		
AD9520-1	24	1600	yes	1720 - 2250	2400	<225(s(ad)	250	27	3.3	5.3		
AD9520-4	24	1600	yes	1400 - 1800	2400	<225is[ad]	250	27	3.3	53		
AD9520-5	24	1600	no	none		(225fs(ad)		27	3.3	5.3		
AD 9522-0	24	800	yes	2550 - 2950	2400	(242is(ad)	250	27	3.3	5.3		
AD95221	24	800	yes.	2270 - 2650	2400	(242fs(ad)	250	27	3.3	5.3		
AD 9522-2	24	800	<b>yes</b>	2020 - 2335	2400	<242(s(ad)	250	2.7	3.3	5.3		
AD9522-3	24	800	yes	1720 - 2250	2400	<242/s(ad)	250	27	3.3	5.3		
AD9522-4	24	800	yes	1400 - 1800	2400	<242fs(ad)	250	27	3.3	5.3		
AD 9522-5	24	800	ne	none	2400	<242[s[ad]		27	3.3	5.3		
AD9523	14	1000	yes.	3350 - 4050	4050	<200is(tot)	400	27	3.3	5.3		
		- 100	V=	203 3100		100101-0	400		11	\$1		e
AD 9524	14	1000	yes	3350 - 4050	4050	(200fs(tot)	400	2.7	3.3	5.3		1
AD9525	8	3600	yes	none	3600	(100is(ad)	500	3.1	3.5	5.3		
ADCLK846	24	1200	no	none	1200	100fe(ad)		1.7	1.9			
ADCLK851	24	1200	no	none	1200	100fs(ad)		1.7	1.9			
ADCLK905	1	7500	no	none	7500	60fs(ad)		2.5	3.3			
ADCLK907	1	7500	no	none	7500	60isladi		2.5	3.3			
lick on colun	in headers	to soil by cr	okumo							Help		I
ouble click o	in links to a	sccess online	e data					-	1	-		í

## Рис. 4. Окно выбора ИМС тактового генератора

нератора, управляемого напряжением (Int VCO), и его диапазоне частот; максимальной частоте сигнала на входе опорного генератора (Max Fin); величине джиттера; диапазоне допустимых напряжений питания.

После выбора ИМС и нажатия кнопки Ok открывается рабочее окно Performance Clocks – Chip Selection (рис. 5), в котором можно изменить тип выбранной микросхемы тактового генератора, выпускаемой компанией Analog Devices. Для этого достаточно нажать на черный треугольник рядом с окошком Chip и выбрать из выпадающего списка (рис. 6) необходимую ИМС. В последней версии программы для выбора предлагаются 43 ИМС тактовых ге-

Sel	ector Guide	View Online Sele	ctor Guide	
Chip: AD952	31	View Online Da	stasheet	
AD9523-1 Cloc Integrated PLL	k Distribution			
Integrated VCO <180fs jitter (tot 3.3 Volts Suppl	2925MHz - 3100/ al) v	MHz		
1000MHz Max 14 Outputs LVPECL_LVD	Output Frequency			
1				

Рис. 5. Рабочее окно выбора ИМС тактового генератора Performance Clocks – Chip Selection



# Рис. 6. Список доступных ИМС тактовых генераторов

нераторов. Полный список ИМС тактовых генераторов в виде таблицы, содержащей основные параметры генераторов, приведен в [5]. Всего на сегодняшний день компания Analog Devices выпускает 65 наименований тактовых генераторов. Наилучшие характеристики обеспечивает генератор ADCLK944, который формирует тактовый сигнал в полосе частот до 7 ГГц с джиттером, не превышающим 50 фс. К сожалению, он еще не включен в список компонентов, доступных для анализа с помощью программы ADIsimCLK<sup>тм</sup>.

Для упрощения выбора тактового генератора с требуемыми параметрами предназначена кнопка Selector Guide (рис. 5), при нажатии на которую открывается окно с таблицей параметров (рис. 4), в котором можно выбрать требуемый генератор, используя приведенные в таблице параметры. При наличии Интернетсоединения можно нажать кнопку View Online Selector Guide (рис. 5) и на экран будет выведена таблица основных параметров генераторов с сайта компании Analog Devices.

После выбора ИМС тактового генератора (в нашем случае – AD9523-1) в нижней части окна Chip Selection выводится краткая информация о ее параметрах (рис. 5).

После нажатия кнопки Далее (рис. 5) на экран выводится окно Configure PLL1 and PLL2 for AD9523-X с функциональной схемой генератора, на которой указаны частоты сигналов генераторов: опорного, VCXO и VCO (рис. 7).

После нажатия кнопки Next открывается окно выбора параметров VCXO Selection – PLL1 (рис. 8). Для первой итерации сохраним рекомендуемую программой крутизну характеристики управления генератором  $K_{\nu} = 1.3 \text{ к}\Gamma \text{ц}/\text{B}.$ 

В программе предусмотрено 2 варианта изменения параметров VCXO. Можно задать кру-



Рис. 7. Функциональная схема генератора, выводимая программой моделирования

CXO Library APA_Wirelass	From Library	C \/00	
ACXO Model	CXO Library APA_Wreless _	Search	h Libraries
Instom Custom Kv 1.30kHz/V Units or a custom VCXO, enter the desired Kv in its/V or ppm/V For example, to enter 0kHz/V imply enter "Dk or "1043" Phase noise data and be entered later.	/CXO Model +		
	ustom * Custom Ky  1.30kHz/V		Units
	stom Kv [1.30kHz/V or a custom VCXO, enter the desired A z/V or ppm/V. For example, to enter 11 mply enter "IDk" or "10e3" Phase noise an be entered later.	V in IcHz/V data	Units (F Hz/Volt (f ppm/Volt

## Рис. 8. Окно выбора параметров генератора VCXO первого синтезатора частоты PLL1

тизну характеристики вручную в режиме Custom либо выбрать модель генератора VCXO из библиотеки в режиме From Library (рис. 8). При нажатии на черный треугольник в правой части окна VCXO Library выпадает список, включающий 12 библиотек, одна из которых (User) может создаваться пользователем. Чтобы выбрать конкретную модель VCXO, необходимо нажать кнопку Search Libraries, после чего открывается окно Choose VCXO с таблицей параметров генераторов (рис. 9).

В таблице приведены названия моделей и библиотек генераторов, отклонение частоты, крутизна характеристики управления, диапазон изменения напряжения управления, фазовый шум, нестабильность частоты, диапазон рабочих температур.

После того, как пользователем заданы параметры или выбрана одна из микросхем генератора VCXO, следует нажать кнопку Далее, в результате чего откроется окно PLL Reference Selection (выбор опорной частоты), в котором, как и на предыдущем шаге, можно задать частоту генератора опорной частоты вручную либо выбрать генератор из библиотеки (рис. 10). В библиотеке имеется 6 разновидностей кварцевых генераторов с термостабилизацией (TCXO): TCXO5, TCXO10, TCXO12, TCXO15, TCXO20, TCXO6144.

После задания частоты генератора TCXO и нажатия кнопки **Далее** открывается окно установки параметров первого и второго синте-



Puc. 9. Окно Choose VCXO

PLL Reference Selection	×
You have specified that the reference frequency should be 30.72MHz	
To use an oscillator from the library as the reference, select From Library' and choose the device from the list.	
C From Library	
Ref. Library user	
Ref. Model TCXD10	
Custom Frequency COP2000449	
chip was configured. To change it you need to go back to the chip configuration page.	
Disable doubler and set R = 0	
<Назад Далее > Отмена	Справка



заторов (рис. 11). Задаются два параметра синтезаторов – полоса частот петли обратной связи и фазовый сдвиг в ней. Кроме того, можно включить режим моделирования синтезатора во временной области (Enable Time Domain simulation). После установки этих параметров и нажатия кнопки Далее выводится окно (рис. 12) с параметрами выходных сигналов (Clock Distribution Configuration), в котором отображаются значения частоты сигнала на каждом из выходов генератора. С помощью кнопок **Configure**, расположенных в правой

DisimCLK will provide a defa our simulation going. You co ster in order to optimise your o	ult value of the loop bandwidth to get an (and generally should) change this design.
Loop Bandwidth	
Phase Margin 75.0 deg	
Default Values	Frable Time Domain simulation
Disable transient simulation to enabled at any time from the	o speed up calculations, it can be "Tools' menu.
Lock Detect To have ADIsimCLK simulate Juring transient simulation, se	the performance of the lock detect circuit fect the Lock Detect mode to be used
None	C Digital Filter
C Arvalog (Nell OD)	C Anillog (Culteril Source)
C Analog (Reh 00)	
u.1	
Loop Bandwidth 30.0 Hz	

Рис. 11. Окно установки параметров синтезаторов частоты

части окна, можно сконфигурировать параметры моделирования (рис. 13) для каждого из выходов: диапазон частот, в котором анализируется фазовый шум; необходимость анализа джиттера; временную задержку, фазовый шум; необходимость отображения отношения сигнал/шум для сигнала входной частоты; вид драйвера выходного каскада.

С окончанием процесса конфигурации следует нажать кнопку Готово (рис. 12), после чего на экран будет выведено окно (рис. 14) с результатами моделирования, которое, в свою

	Enterut	ser names for output press configure to se	t pins you wish to us at divider ratios etc.	e, and
lignal	Enable	User Name	Frequency	
OUTO	V	DUTT	122.88MHz	Configure
OUT1	V	OUTI	491,52MHz	Configure
OUT2	R	OUT2	491.52MHz	Configure
OUT3	V	OUT3	491.52MHz	Configure
OUT4	V	OUT4	491.52MHz	Configure
OUT5	V	OUT5	491.52MHz	Configure
OUT6	V	OUTE	491.52MHz	Configure
OUT7	9	OUT7	491.52MHz	Configure
OUTS		OUTS	491.52MHz	Configure
OUT9	V	OUTS	491.52MHz	Configure
DUT10	V	OUTIO	491.52MHz	Configure
UT11	V	OUT11	491.52MHz	Configure
UT12	V	OUT12	491.52MHz	Configure
UT13	V	OUT13	491.52MHz	Configure
LL1_OL	র ন	PLL1_OUT	61.44MHz	Configure
Al	V			

## Рис. 12. Окно с параметрами выходных сигналов

очередь, содержит несколько закладок в нижней части окна. Каждая закладка открывает новое окно, в котором содержится информация о параметрах одного из узлов генератора. В их число входят: параметры синтезаторов и всех выходов генератора, частотные и временные зависимости сигналов в различных точках схемы, схема подключения генератора и сводный отчет (при открытии закладки **Report**) в виде текстовой информации о результатах, полученных при моделировании. Фрагмент сводного отчета приведен на рис. 15.

Clock Distribution Ann Conn	guidition ooro
eedback Arm, division ratio was set on requency Page	Select Signal Source
Input Freq. = 983.04MHz from M1	C PAT 102 IRAN
Divider Output 122.88MHz Frequency To bypass divider set value to 1	You can change the divide value and set other parameter (duty cycle, delay) later.
Select output driver	TL Add Fanout Buller
Results to display for this output	F Phase Noise Table
Results to display for this output Broadband Jiffer  Time Delay Integrated Phase Noise Integrate from 100k/Hz to 1.25M	Phase Noise Table
Results to display for this output F Broadband Jitter F Time Delay Integrated Phase Noise Integrate from 100kHz to 1.25M Display as F seconds RMS F EVM F d	Phase Noise Table Hz egrecs RMS IV ACI/ACR (dBc)
Results to display for this output To Broadband Jiller Time Delay Integrated Phase Noise Integrate from 100kHz to 125M Display as: I seconds RMS I EVM I d I Jitter (littered) SONET 0C-1	Phase Noise Table
Results to display for this output Time Delay Integrated Phase Noise Integrated Phase Noise Integrate from 100kHz to 125M Display as: IF seconds RMS IF EVM IF d IF Jitter (liftered) SONET 0C-1 Sampling Dock, Performance If this output was used to sample an analog sign broadband timing itter will digrade the achievab	Phase Noise Table
Results to display for this output Time Delay Integrated Phase Noise Integrated Phase Noise Integrate from 100kHz to 125M Display as: IF seconds RMS IF EVM IF d If Jitter (liftered) SONET 0C-1 Sampling Dock, Performance If this output was used to sample an analog sign broadband timing itter will degrade the achievab IF Show plot of SNR vs Fir IF Compute SNR	Phase Noise Table  Hz  egrees RMS IF ACI/ACR (dBc) High Pass pole 12kHz Low Pass Pole 400kHz al of Irequency Fi, the 6 Signal to Noise Rotio (SNR) and ENDB for Fi = 100MHz.

Рис. 13. Окно с параметрами выходных сигналов



Рис. 14. Окно результатов моделирования

#### AD9523-1.clk analysed at 02/11/14 11:23:25

Clock Chip is AD9523-1 VCO is AD9523-1 Reference is TCXO10

#### PLL1 Loop Filter specified by: Phase Margin

Design Objective: Loop Bandwidth: 30.0 Hz Phase Margin: 75.0 deg

Simulation Result: Loop Bandwidth: 30.55 Hz Phase Margin: 80.0 deg

#### PLL2 Loop Filter specified by: Phase Margin

Design Objective: Loop Bandwidth: 450kHz Phase Margin: 75.0 deg

Simulation Result: Loop Bandwidth: 447.3kHz Phase Margin: 74.5 deg

### Power Dissipation Estimate

$325 \mathrm{mW}$
$4.0\mathrm{mW}$
$51.07\mathrm{mW}$

Total Power 1.592 W

### OUTO:

#### **OUT1:**

Frequency: 491.520MHz Broadband Jitter (>1kHz) = 214fs rms

> Рис. 15. Фрагмент сводного отчета, сформированного по результатам моделирования



## Рис. 16. Графики зависимости спектральной плотности фазового шума в различных точках схемы генератора

В окне **FreqDomain** (анализ в частотной области) приводятся АЧХ и ФЧХ разомкнутой и замкнутой петли обратной связи, а также зависимость спектральной плотности фазового шума от частоты в различных точках схемы генератора (рис. 16): на выходе ГУН, на выходе первого синтезатора и на выходе петлевого фильтра первого синтезатора. На графике по оси частот откладывается частотный интервал от несущей частоты до частоты анализа фазового шума.

При параметрах схемы, заданных в программе по умолчанию, наименьшее значение джиттера, равное 91.6 фс в полосе анализа от 100 кГц до 1.25 МГц при частоте выходного сигнала 491.52 МГц, получено на выходах 1...13 (OUT1...OUT13). На выходе OUT0 частота сигнала составляет 122.88 МГц, а значение джиттера в той же полосе частот – 92.5 фс.

Анализ работы схемы выполняется очень быстро и несложно поэкспериментировать с параметрами генератора для получения желаемого результата. К сожалению, невозможно изменить конфигурацию схемы, чтобы исследовать отдельные узлы генератора в авто-



номном режиме, но и та информация, которая будет получена в результате моделирования, позволяет провести достаточно подробный анализ работы схемы.

Конечно, в рамках одной статьи невозможно не только детально описать работу схемы и пути оптимизации параметров, но даже перечислить полученные результаты. Более подробно с моделированием работы тактовых генераторов можно ознакомиться лишь экспериментальным путем.

Использование программы ADIsimCLK позволяет оценить потенциальные возможности тактовых генераторов на этапе выбора ИМС и оптимизировать параметры схемы для получения требуемого результата. Метод уменьшения джиттера, примененный в ИМС AD9523-1, позволяет получить хорошие результаты при незначительных аппаратных затратах.

#### ЛИТЕРАТУРА

1. Манасевич В. Синтезаторы частот. (Теория и проектирование): Пер. с англ./ Под ред. А.С. Галина. – М.: Связь, 1979. – 384 с.

2. Slightom K. Dual-Loop Clock Generator Cleans Jitter, Provides Multiple High-Frequency Outputs. – Analog Dialogue 48-01, January (2014), http://www.analog.com/library/ analogdialogue/archives/48-01/ pll jitter cleaner.pdf.

3. http://www.analog.com/static/imported-files/data\_sheets/AD9523-1.pdf.

4. http://www.analog.com/en/rfif-components/products/ADIsimCLK\_thankyou/ fca.html.

5. http://www.analog.com/parametricsearch/en/10149#10149.

**VD MAIS** Оборудование и материалы для монтажа/демонтажа электронных компонентов (ЭК)



 Паяльное и ремонтное оборудование
 Системы очистки воздуха - Устройства трафаретной печати - Системы установки компонентов - Паяльные печи: конвекционной и селективной пайки, пайки волной
 Испытательное оборудование
 Системы визуального контроля
 Координатно-фрезерные станки
 Технологические материалы монтажа ЭК

Дистибьюция и прямые поставки: AIM, Bernstein, Charleswater, Electrolube, Essemtec, KIC, Kolver, LPKF, Magic Ray, Miele, Nordson, Optilia, PACE, PDT, Samsung, Seho, TWS, Vision, Weiss

Украина, 03061 Киев, ул. М. Донца, 6 тел.: (0-44) 220-0101, 492-8852, факс: (0-44) 220-0202 e-mail: info@vdmais.kiev.ua, www.vdmais.kiev.ua