

СРАВНИТЕЛЬНЫЙ АНАЛИЗ ПАРАМЕТРОВ СИГМА-ДЕЛЬТА АЦП С АРХИТЕКТУРОЙ CTSD И DTSD

COMPARATIVE ANALYSIS OF SIGMA-DELTA ADC PARAMETERS WITH CTSD AND DTSD ARCHITECTURE

В статье кратко рассмотрены особенности $\Sigma\Delta$ -АЦП с различной архитектурой и проведено моделирование простейших одноразрядных АЦП. Результаты моделирования в программе LTspice показали, что применение дискретной архитектуры входной цепи $\Sigma\Delta$ -АЦП не улучшает его характеристики, но значительно усложняет его конструкцию.

В. Макаренко

Abstract – The article briefly discusses the features of the $\Sigma\Delta$ -ADC with various architectures and simulates the simplest one-bit ADCs. The simulation results in the LTspice program showed that the use of the discrete architecture of the input circuit of the $\Sigma\Delta$ -ADC does not improve its characteristics, but significantly complicates its design.

V. Makarenko

В [1] указывается, что сигма-дельта АЦП, а именно преобразователи со следящей (CTSD) архитектурой, не уступают по производительности АЦП с дискретной или DTSD-архитектурой, но по сравнению с последними имеют более простую структуру входной измерительной цепи.

Для корректного сравнения различных типов АЦП рассмотрим архитектуру таких АЦП, а затем проведем моделирование работы таких устройств при одинаковых параметрах входных сигналов.

Для уменьшения ошибок квантования в $\Sigma\Delta$ -АЦП используется дискретизация с повышенной частотой (передискретизация), которая характеризуется коэффициентом передискретизации $K_{\text{пер}}$. В результате передискретизации энергия шума равномерно распределяется в полосе частот от 0 до половины частоты дискретизации $f_d/2$, которая значительно выше верхней частоты в спектре преобразуемого сигнала. Это приводит к уменьшению энергии помехи в той части спектра, которая находится в рабочей полосе частот.

Кроме того, использование режима передискретизации приводит к значительному упрощению входного фильтра, ограничивающего спектр сигнала на входе АЦП. На выходе такого АЦП используется цифровой фильтр, выполняющий процесс децимации.

На рис. 1 приведена функциональная схема (а) и временные диаграммы сигналов простейшего $\Sigma\Delta$ -модулятора с CTSD-архитектурой.

Работу модулятора поясняют временные диаграммы сигналов, приведенные на рис. 1,б. В нормальном рабочем режиме, когда входной сигнал изменяется в диапазоне от $-U_{\text{оп}}$ до $+U_{\text{оп}}$, потен-

циал на входе интегратора может равняться нулю только в те моменты, когда напряжение на выходе ЦАП меняет свой знак. В этот момент накопленная интегратором ошибка имеет полярность, противоположную полярности выходного сигнала ЦАП. Таким образом, на выходе сумматора всегда присутствующая некоторая ошибка e_0 , имеющая тот или другой знак. Если знак ошибки положительный в течение длительного времени, то конденсатор интегратора успевает перезарядиться и полярность сигнала на выходе интегратора меняется на противоположную.

В момент перехода через "0" (порог срабатывания компаратора) компаратор изменяет свое состояние, которое фиксируется элементом памяти (D-триггером) в момент прихода очередного импульса сигнала тактовой частоты и сохраняется в нем до прихода следующего импульса.

Поскольку от состояния D-триггера зависит состояние ЦАП, то последний также изменяет напряжение на своем выходе от $-U_{\text{оп}}$ до $+U_{\text{оп}}$ (или наоборот), которое формируется источником опорного напряжения (ИОН). Выходное напряжение ЦАП, подаваемое на инвертирующий вход сумматора, будет компенсировать увеличение заряда на емкости конденсатора интегратора, вызванное увеличением уровня входного сигнала. Как только напряжение источника опорного напряжения превысит уровень входного сигнала или уровень входного сигнала начнет уменьшаться, конденсатор интегратора начнет разряжаться. Это приводит к уменьшению величины ошибки e_0 (по модулю).

Когда напряжение на выходе интегратора поменяет знак, изменится состояние триггера на проти-

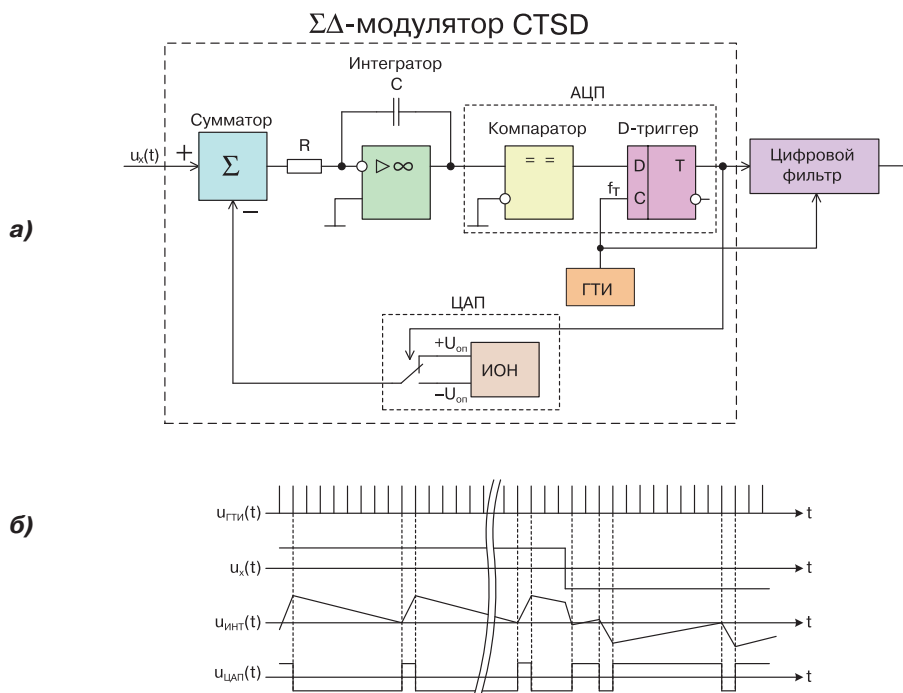


Рис. 1. Функциональная схема (а) и временные диаграммы сигналов простейшего $\Sigma\Delta$ -АЦП с CTSD-архитектурой

воположное и, как следствие, изменится полярность сигнала на выходе ЦАП, которая станет противоположна полярности сигнала на неинвертирующем входе сумматора. Процесс преобразования повторится. Выходной код АЦП поступает на цифровой фильтр, в котором осуществляется децимация сигнала, т.е. прореживание отсчетов.

На рис. 2 приведена функциональная схема $\Sigma\Delta$ -модулятора с DTSD-архитектурой.

Единственным отличием от модулятора с CTSD-архитектурой является наличие дискретизатора на

входе модулятора.

Для анализа работы $\Sigma\Delta$ -АЦП с CTSD-архитектурой рассмотрим модель, разработанную для анализа в LTspice, показанную на рис. 3. В отличие от схемы, приведенной на рис. 1, в модель добавлен фильтр нижних частот третьего порядка, аппроксимированный по Чебышеву с частотой среза 1 кГц. Фильтр предназначен для оценки искажений, вносимых сигма-дельта АЦП в процессе преобразования. Элементом фильтра являются ОУ U10 и пассивные компоненты R7...R11 и C3...C5.

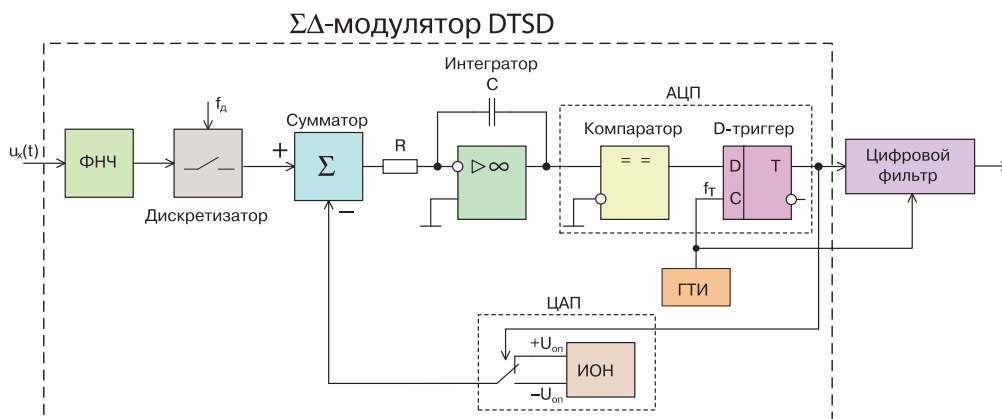


Рис. 2. Функциональная схема $\Sigma\Delta$ -АЦП с DTSD-архитектурой

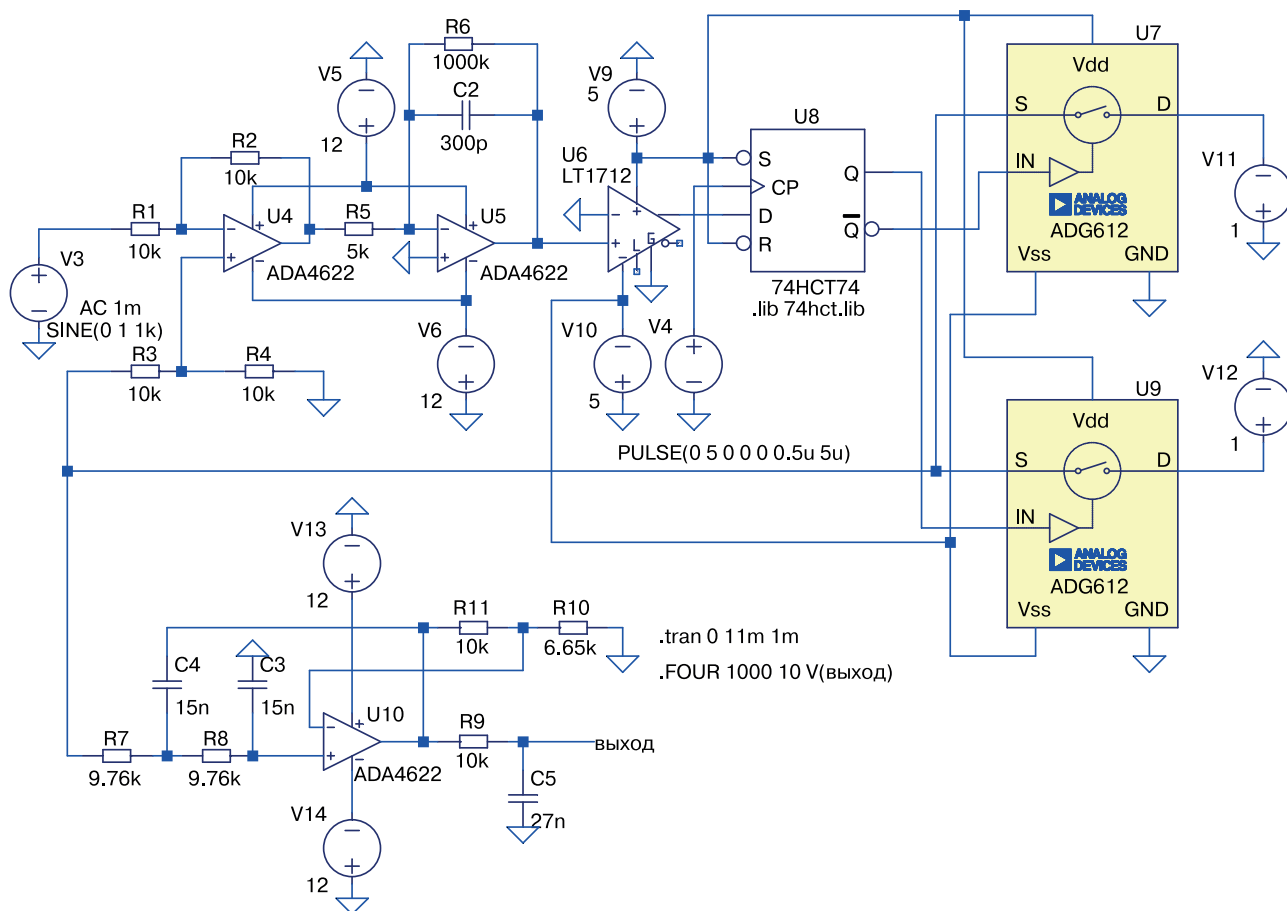


Рис. 3. Модель $\Sigma\Delta$ -АЦП с CTSD-архитектурой

Сумматор собран на ОУ U4, интегратор на U5, а быстродействующий компаратор на ИМС LT17122. В качестве D-триггера использована ИМС RSD-триггера 74HCT74, которая устанавливается из сторонних библиотек.

Для подключения этой модели необходимо обязательно ввести директиву **.lib 74hct.lib**.

Одноразрядный цифро-аналоговый преобразователь выполнен на аналоговых ключах U7 и U9, а источники опорного напряжения – на генераторах V11, V12.

Частота входного сигнала выбрана равной 1 кГц, а частота дискретизации 200 кГц, которая задается периодом следования импульсов генератора V4. На рис. 4 приведены временные диаграммы сигналов на входе и выходе АЦП, а также на выходе интегратора и D-триггера.

Для последующего сравнения АЦП с другой архитектурой проведен анализ спектра выходного сигнала ФНЧ и измерение коэффициента гармоник [2]. Для этого в модель вводится директива **.FOUR 1000 10 V(выход)**.

Результаты спектрального анализа приведены на рис. 5, а результаты вычисления коэффициента нелинейных искажений, которые содержатся в файле SPICE Error.log – на рис. 6.

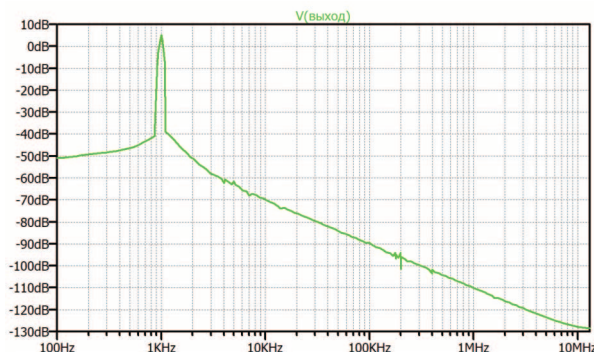


Рис. 5. Спектр выходного сигнала $\Sigma\Delta$ -АЦП с CTSD-архитектурой при частоте дискретизации 200 кГц

При значении частоты входного сигнала 1 кГц все высшие гармоники подавляются ФНЧ, что и приводит к низкому значению коэффициента гармоник равному 0.07%. Для более корректного

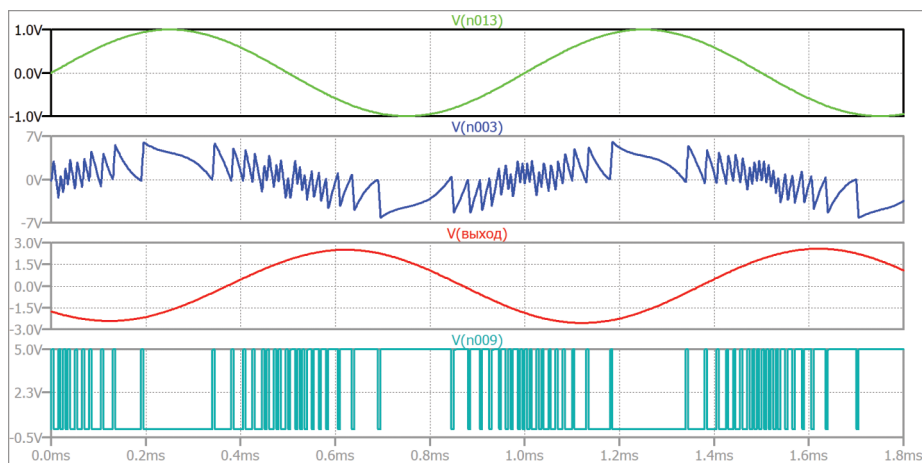


Рис. 4. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с CTSD-архитектурой на входе (зеленая), выходе интегратора (синяя), выходе ФНЧ (красная) и на выходе D-триггера при частоте дискретизации 200 кГц

Fourier components of V(выход)
DC component: -0.000599898

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	2.598e+00	1.000e+00	-132.77°	0.00°
2	2.000e+03	1.682e-03	6.477e-04	60.73°	193.50°
3	3.000e+03	4.147e-04	1.596e-04	-164.02°	-31.26°
4	4.000e+03	4.182e-04	1.610e-04	-143.80°	-11.03°
5	5.000e+03	1.989e-04	7.658e-05	2.74°	135.51°
6	6.000e+03	3.333e-04	1.283e-04	53.48°	186.26°
7	7.000e+03	1.169e-04	4.501e-05	-156.15°	-23.38°
8	8.000e+03	8.316e-05	3.201e-05	-128.16°	4.62°
9	9.000e+03	7.351e-05	2.830e-05	-9.79°	122.98°
10	1.000e+04	3.321e-05	1.279e-05	62.94°	195.72°

Total Harmonic Distortion: 0.070513% (0.071321%)

Рис. 6. Результаты вычисления коэффициента гармоник при частоте дискретизации 200 кГц $\Sigma\Delta$ -АЦП с CTSD-архитектурой

сравнения произведем измерение спектров и коэффициентов гармоник для частоты входного сигнала 330 Гц при частотах дискретизации 200 и 20 кГц.

При частоте дискретизации 200 кГц форма сигнала частотой 330 Гц аналогична приведенной на рис. 4. А вот спектр сигнала (рис. 7) отличается. Значение коэффициента гармоник равно 0.32%.

При снижении частоты дискретизации до 20 кГц форма сигнала значительно искажается (рис. 8), и в спектре появляется третья гармоника сигнала значительного уровня, как показано на рис. 9. Коэффициент гармоник при этом равен 54%.

Модель для исследования характеристик $\Sigma\Delta$ -АЦП с DTSD-архитектурой приведена на рис. 10.

Отличие этой модели от $\Sigma\Delta$ -АЦП с CTSD-архитектурой в наличии на входе повторителя напряжения U2 и устройства выборки/хранения (ключ U1 и конденсатор C1). Проведем моделирование работы $\Sigma\Delta$ -АЦП с DTSD-архитектурой при частоте дискретизации 200 кГц и частоте сигнала 330 Гц. В дирек-

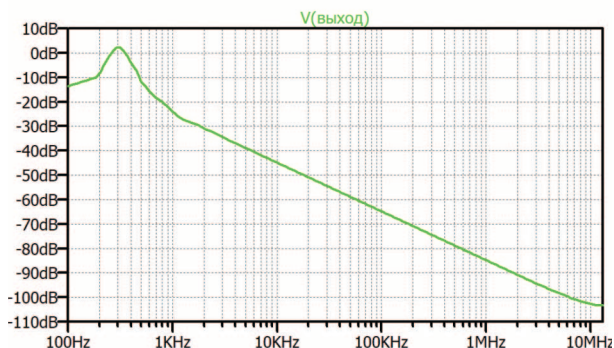


Рис. 7. Спектр выходного сигнала частотой 330 Гц на выходе $\Sigma\Delta$ -АЦП с CTSD-архитектурой при частоте дискретизации 200 кГц

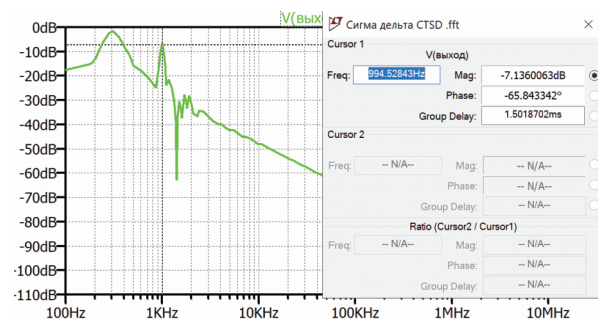


Рис. 9. Спектр выходного сигнала частотой 330 Гц на выходе $\Sigma\Delta$ -АЦП с CTSD-архитектурой при частоте дискретизации 20 кГц

тиву для измерения коэффициента гармоник необходимо внести соответствующие изменения – .FOUR 330 10 V(Выход). Временные диаграммы сигналов при частоте дискретизации 200 кГц приведены на рис. 11, спектр на рис. 12. Коэффициент гар-

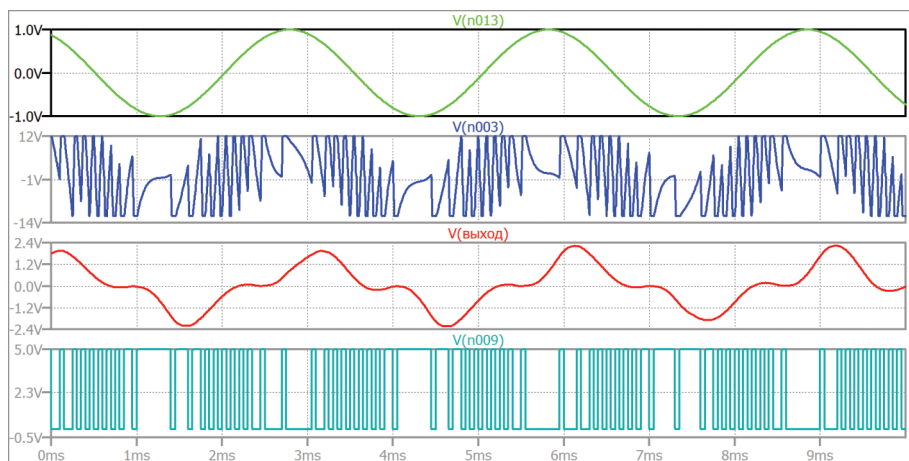


Рис. 8. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с CTSD-архитектурой на входе (зеленая), выходе интегратора (синяя), выходе ФНЧ (красная) и на выходе D-триггера при частоте дискретизации 20 кГц

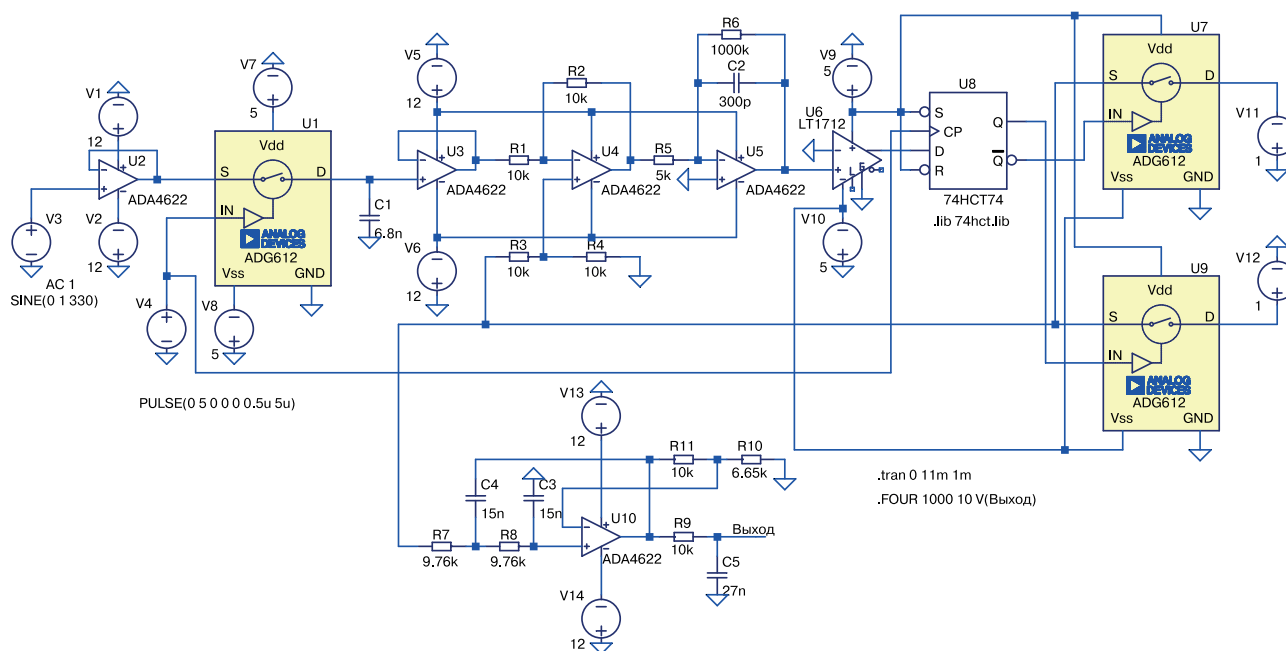


Рис. 10. Модель $\Sigma\Delta$ -АЦП с DTSD-архитектурой

монитор равен 0.29%.

Временные диаграммы сигналов при частоте дискретизации 20 кГц приведены на рис. 13, спектр на рис. 14. Коэффициент гармоник равен 42.99%.

Сравнение результатов анализа показывает, что $\Sigma\Delta$ -АЦП с DTSD-архитектурой сложнее $\Sigma\Delta$ -АЦП с CTSD-архитектурой, а вот параметры АЦП очень схожи. При частоте дискретизации 200 кГц коэффициенты гармоник выходного сигнала равны 0.32 и 0.29, соответственно. Т.е. практически результат одинаков.

А вот частота дискретизации оказывает весьма существенное влияние на искажения, вносимые

АЦП, о чем свидетельствуют результаты исследований.

Конечно, это не совсем корректное сравнение. Учитывая, что частота дискретизации снижается в 10 раз, с 200 до 20 кГц, нужно изменить емкость конденсатора интегратора. Проиллюстрируем это. В моделях $\Sigma\Delta$ -АЦП с CTSD-архитектурой и DTSD-архитектурой, вместо емкости конденсатора $C2 = 300$ пФ установим емкость 3000 пФ. В результате форма сигнала изменится как на выходе интегратора, так на выходе ФНЧ.

На рис. 15 приведены формы сигналов на выходах интегратора и ФНЧ $\Sigma\Delta$ -АЦП с CTSD-архитектурой при частоте дискретизации 20 кГц, а на рис. 16

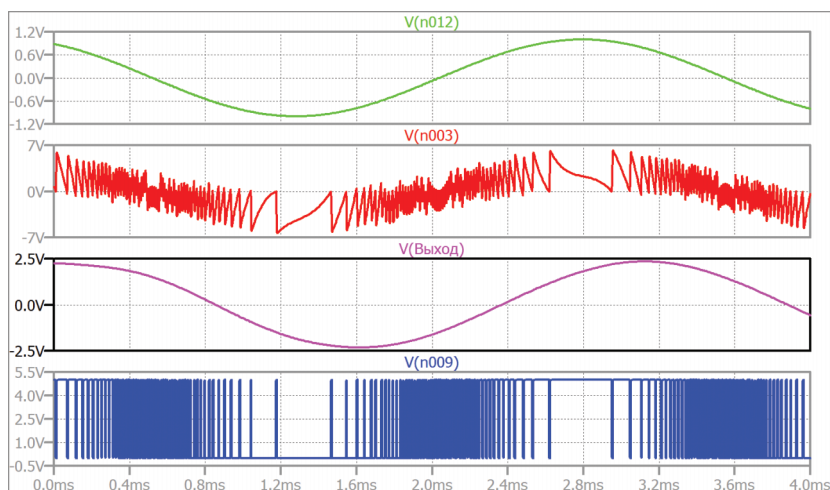


Рис. 11. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с DTSD-архитектурой на выходах УВХ (зеленая), интегратора (красная), ФНЧ (фиолетовая) и на выходе D-триггера при частоте дискретизации 200 кГц

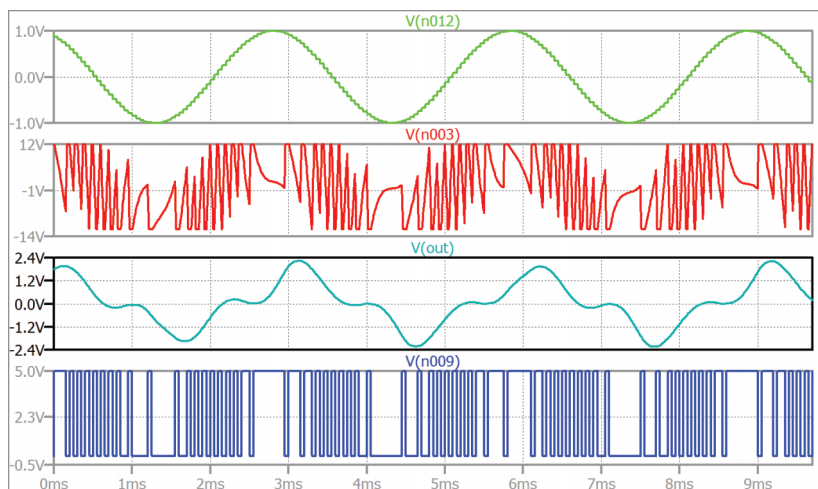


Рис. 13. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с CTSD-архитектурой на выходах УВХ (зеленая), интегратора (красная), ФНЧ (фиолетовая) и на выходе D-триггера при частоте дискретизации 20 кГц

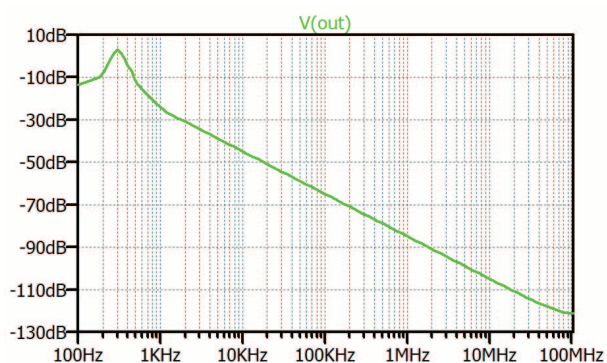


Рис. 12. Спектр сигнала $\Sigma\Delta$ -АЦП с DTSD-архитектурой на выходе ФНЧ при частоте дискретизации 200 кГц

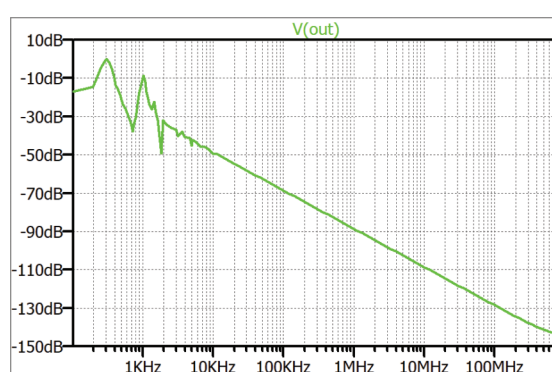


Рис. 13. Спектр сигнала $\Sigma\Delta$ -АЦП с DTSD-архитектурой на выходе ФНЧ при частоте дискретизации 20 кГц

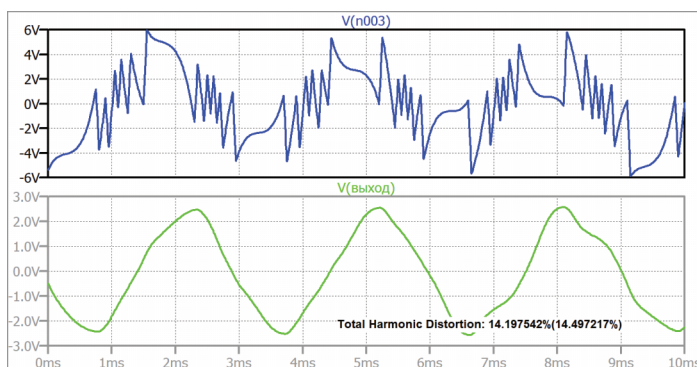


Рис. 15. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с CTSD-архитектурой на выходах на выходах интегратора (верхняя) и ФНЧ при частоте дискретизации 20 кГц

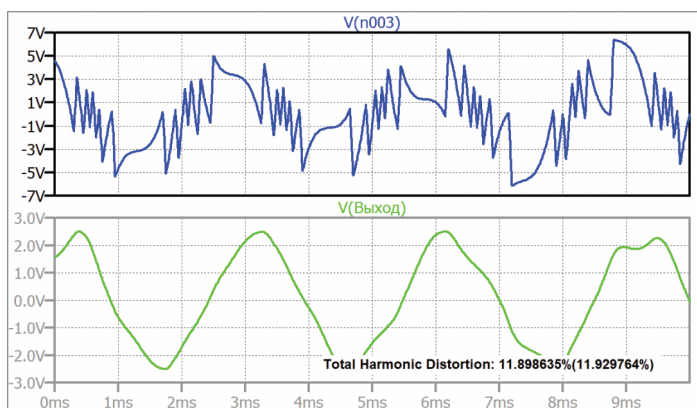


Рис. 16. Временные диаграммы сигналов $\Sigma\Delta$ -АЦП с DTSD-архитектурой на выходах интегратора (верхняя) и ФНЧ при частоте дискретизации 20 кГц

– на выходах $\Sigma\Delta$ -АЦП с DTSD-архитектурой.

Как следует из проведенного эксперимента увеличение постоянной времени интегратора дает положительный результат. Коэффициент гармоник значительно снизился, но остается по-прежнему высоким. Это еще раз подтверждает положение о необходимости увеличения частоты дискретизации.

Из приведенных результатов можно сделать вывод о нецелесообразности применения $\Sigma\Delta$ -АЦП с DTSD-архитектурой.

ЛИТЕРАТУРА

1 А. Кауле, В. Шейх Сигма-дельта АЦП со следящей архитектурой. Часть 1:

Методы улучшения параметров входной сигнальной цепи / Электронные компоненты и системы, №2, 2021. с. 3-9.

2 В. Макаренко Программа моделирования электронных схем LTspice, часть 4 / Электронные компоненты и системы, №3, 2018. с. 52-62. Url:

[http://www.ekis.kiev.ua/UserFiles/Image/pdfArticles/2018_3/Makrenko_V.V._LTspice_part4_EKIS_3\(22](http://www.ekis.kiev.ua/UserFiles/Image/pdfArticles/2018_3/Makrenko_V.V._LTspice_part4_EKIS_3(22)

VD MAIS

Электронные компоненты и системы



- Микросхемы • Датчики • Оптоэлектроника
- Источники питания • Драйверы светодиодов
- Резонаторы и генераторы
- Дискретные полупроводники
- Пассивные компоненты
- СВЧ-компоненты
- Системы беспроводной связи

Дистрибуция и прямые поставки:
Analog Devices, Bluetech, Cree, DDC, Dynex, Fordata, Foryard, Gaia, Geyer, IXYS, Kendell, Kingbright, Ledil, Littlefuse, Mean Well, Microsemi, Omron, Recom, Sili, Sonitron, Suntan, Telit, Vacuumschmelze, Xilinx, Yitran

Украина, 03061 Киев, ул. М. Донца, 6
тел.: (0-44) 201-0202, 492-8852, факс: (0-44) 202-1110
e-mail: info@vdmals.ua, www.vdmals.ua

VD MAIS

Оборудование и материалы для монтажа/демонтажа электронных компонентов (ЭК)



- Паяльное и ремонтное оборудование
- Системы очистки воздуха • Устройства трафаретной печати • Системы установки компонентов • Паяльные печи: конвекционной и селективной пайки, пайки волной
- Испытательное оборудование
- Системы визуального контроля
- Координатно-фрезерные станки
- Технологические материалы монтажа ЭК
- Средства антистатической защиты

Дистрибуция и прямые поставки:
AIM, Bernstein, Charleswater, Electrolube, Essentec, KIC, Kolver, LKPF, Magic Ray, Miele, Nordson, Optilia, PACE, PDT, Hanwha, Seho, TWS, Vision, Weiss

Украина, 03061 Киев, ул. М. Донца, 6
тел.: (0-44) 201-0202, 492-8852, факс: (0-44) 202-1110
e-mail: info@vdmals.ua, www.vdmals.ua