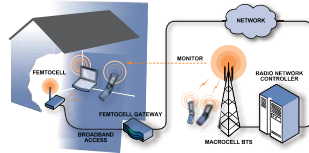


КОМПОНЕНТЫ ДЛЯ ПОСТРОЕНИЯ БЕСПРОВОДНЫХ УСТРОЙСТВ СВЯЗИ, часть 5

В статье рассматриваются пути построения беспроводных устройств связи и компоненты для их реализации. В пятой части приведен обзор цифровых понижающих преобразователей частоты, выпускаемых компанией Analog Devices.



COMPONENTS FOR CONSTRUCTION OF WIRELESS COMMUNICATION DEVICES, part 5

Abstract - In article ways of construction of wireless communication devices and components for their implementation are observed. In the fifth part survey of digital down converters of frequency which are released by company Analog Devices is given.

В. Макаренко

V. Makarenko

В [1] были рассмотрены основные функциональные схемы приемопередатчиков, характеристики высокочастотных маломощных усилителей, модуляторов и демодуляторов, смесителей и перемножителей, выпускаемых компанией Analog Devices. В пятой части рассмотрим основные характеристики цифровых понижающих преобразователей частоты. В табл. 1 приведены некоторые параметры и назначение понижающих цифровых преобразователей [2].

Рассмотрим структурную схему (рис. 1) самого простого понижающего преобразователя AD6620 [3]. Более подробную функциональную схему можно найти в [3]. Преобразователь предназначен для связи между быстродействующим АЦП, устанавливаемым на входе приемника, и цифровым сигнальным процессором, в котором осуществляется обработка и де-

модуляция принятых сообщений. Он фактически представляет собой смеситель и фильтр промежуточной частоты, реализованные в цифровом виде. Входные цифровые данные, представленные 16-разрядной мантиссой и 3-разрядной экспонентой, поступают в параллельном коде на входы цифровых смесителей ЦСМ1 и

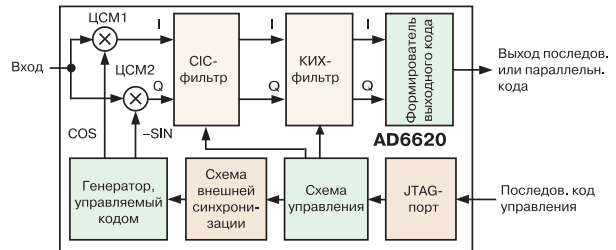


Рис. 1. Структурная схема понижающего цифрового преобразователя частоты AD6620

Табл. 1. Цифровые понижающие преобразователи частоты

Тип ИМС	f _д , МГц	Поддерживаемые системы связи				
		GSM, EDGE/GPRS	CDMA2000		UMTS	TDS-CDMA
			1x	3x		A
AD6620	65	1 канал	1 канал	1 канал с FPGA для дополнительной фильтрации	1 канал с FPGA для дополнительной фильтрации	1 канал
AD6624	80	4 канала	2 канала	1 канал с FPGA для преобразования послед. кода в параллельн.	1 канал с FPGA для преобразования послед. кода в параллельн.	4 канала
AD6624A	100				2 канала с FPGA для преобразования послед. кода в параллельн.	
AD6634	80	4 канала	2 канала, цифровая система АРУ			4 канала
AD6635	80	8 каналов	4 канала, цифровая система АРУ			8 каналов
AD6636	150	6 каналов	6 каналов, цифровая система АРУ			6 каналов

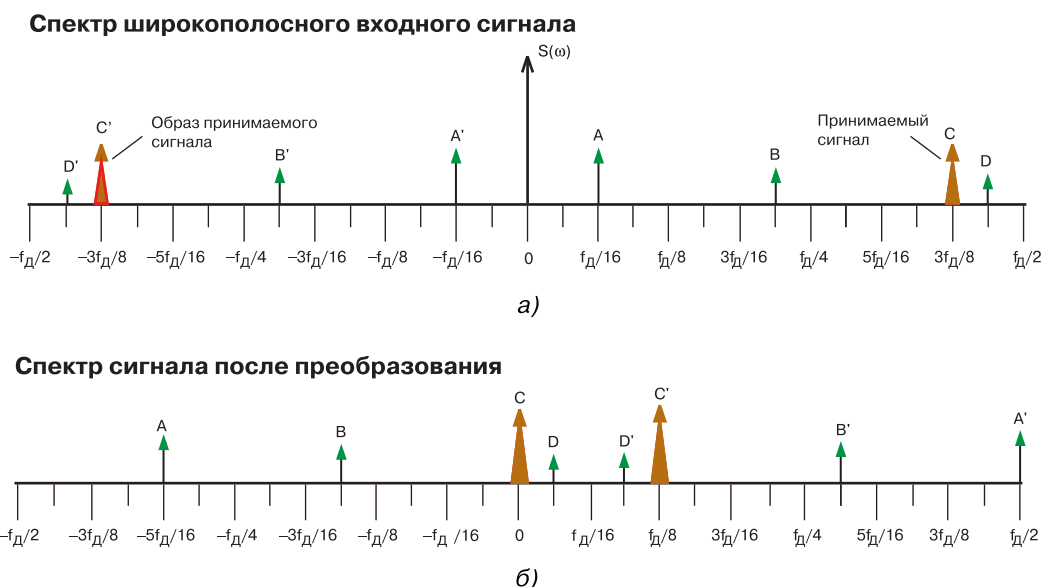


Рис. 2. Спектры сигналов на входе (а) и выходе (б) цифрового смесителя AD6620

ЦСМ2, которые позволяют обрабатывать либо квадратурный сигнал (содержащий I- и Q-составляющие), либо сигнал, имеющий только действительную составляющую. В качестве гетеродина используется генератор, управляемый кодом (Numerically Controlled Oscillator – NCO), имеющий высокие разрешающую способность по частоте и скорость перестройки частоты. На выходах цифровых смесителей формируются квадратурные составляющие разностной частоты, поступающие на входы цифрового фильтра промежуточной частоты (ФПЧ), в котором дополнительно осуществляется децимация цифровых данных. Он состоит из СИС-фильтра (Cascaded Integrator-Comb Filter) [4] и КИХ-фильтра (FIR-filter). При больших скоростях входного цифрового потока СИС-фильтр имеет преимущества по быстродействию и вычислительным затратам перед КИХ-фильтром. В нем осуществляется децимация цифрового потока с одним из двух фиксированных коэффициентов (2 или 5) путем выполнения операций сложения и вычитания без использования операций умножения, чем и объясняется снижение вычислительных затрат. Коэффициент децимации КИХ-фильтра, состоящего из двух последовательно соединенных фильтров второго и пятого порядков, программируется в диапазоне от 1 до 256.

Высокий динамический диапазон цифровых фильтров и широкий диапазон перестройки коэффициента децимации обеспечивают

эффективную работу преобразователя как в узкой, так и в широкой полосах частот.

Работу преобразователя иллюстрируют рис. 2, 3. Спектр широкополосного входного сигнала (рис. 2, а) трансформируется в преобразователе таким образом, чтобы принимаемый сигнал (на рис. 2 показан коричневым цветом) после преобразования попал в полосу пропускания цифрового фильтра, частотная характеристика которого показана на рис. 3 коричневым цветом.

Основные характеристики преобразователя AD6620:

- высокая скорость обработки входных данных
- ♦ 67 Мбит/с при обработке одного канала

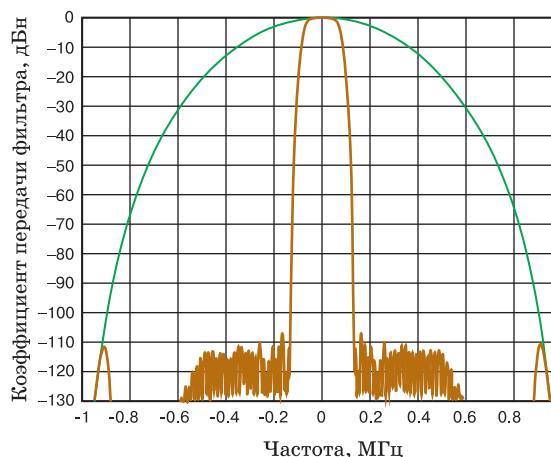


Рис. 3. Частотная характеристика цифрового фильтра ИМС AD6620

- ◆ 33.5 Мбит/с при обработке комплексного сигнала
- генератор, управляемый кодом
 - ◆ уровень побочных составляющих выходного сигнала -100 дБн
 - ◆ разрешающая способность по частоте 0.02 Гц
- три цифровых фильтра с линейной фазовой характеристикой в каждом канале
 - ◆ СИС-фильтр с переключаемым коэффициентом децимации 2 или 5
 - ◆ КИХ-фильтр второго порядка с программируемым коэффициентом децимации от 2 до 16
 - ◆ КИХ-фильтр пятого порядка с программируемым коэффициентом децимации от 1 до 32
- двунаправленная система синхронизации (внутренних и внешних цепей)
- синхронизирующие импульсы на выходе
- выходные данные в последовательном или параллельном коде (выбираются коммутацией выводов ИМС)
- интегрированный интерфейс для работы с цифровыми сигнальными процессорами SHARC®, ADSP-21xx и др.
- 16-разрядный параллельный выходной порт с перемежением I- и Q-составляющих выходного сигнала
- два порта контроля и управления
- сканирование периферийных устройств (при тестировании по стандарту JTAG)
- все входы совместимы с уровнями низковольтных КМОП ИС с напряжением питания 3.3 В (LVCMOS)
- все выходы совместимы с уровнями LVCMOS- и TTL-логики с напряжением питания 5 В
- диапазон рабочих температур -40...85 °С.

Микросхема выполнена в пластиковом корпусе 80-PQFP.

В [3] приведены: подробная информация об узлах преобразователя, их функциональные схемы, временные диаграммы и особенности работы.

ИМС понижающего преобразователя AD6624 [5] представляет собой четырехканальный цифровой сигнальный процессор для построения цифровых приемников. Каждый канал построен по структурной схеме, аналогичной показанной на рис. 1.

Основные функциональные возможности ИМС AD6624:

- тактовая частота входного цифрового потока (14 разрядов – основной код, 3 разряда – уровень принимаемого сигнала) 80 МГц
- цифровая повторная дискретизация сигнала для формирования дробных коэффициентов децимации
- КИХ-фильтр с программируемым коэффициентом децимации
- программируемый аттенуатор для внешнего управления коэффициентом усиления с использованием данных индикатора уровня принимаемого сигнала
- гибкое управление фазированными антенными решетками при приеме многоканальных сигналов
- конфигурируемый пользователем режим самотестирования
- сканирование периферийных устройств (при тестировании по стандарту JTAG)
- все входы и выходы совместимы с уровнями низковольтных КМОП ИС с напряжением питания 3.3 В (LVCMOS)
- напряжение питания ядра процессора 2.5 В.

Основное назначение ИМС – построение цифровых приемников для приема многомодовых сигналов с несколькими несущими (стандартов GSM, IS136, EDGE, PHS, IS95), интеллектуальных антенных систем, программно-конфигурируемого радио, радиотелефонной связи в здании.

Для построения двухканальных широкополосных приемников WCDMA предназначен цифровой приемный сигнальный процессор (понижающий преобразователь) AD6334 [6], функциональная схема которого показана на рис. 4. Входные данные (14 разрядов – мантисса и 3 разряда – экспонента) через входной цифровой коммутатор (Input matrix) поступают на входы цифровых смесителей. В каждом канале предусмотрена обработка двух составляющих сигнала – I и Q. Сдвинутые по фазе сигналы гетеродина формируют генераторы, управляемые кодом (NCO). С выхода смесителя сигнал разностной частоты через цифровой фильтр, состоящий из последовательно соединенных СИС-фильтров второго (с повторной цифровой дискретизацией) и пятого порядков

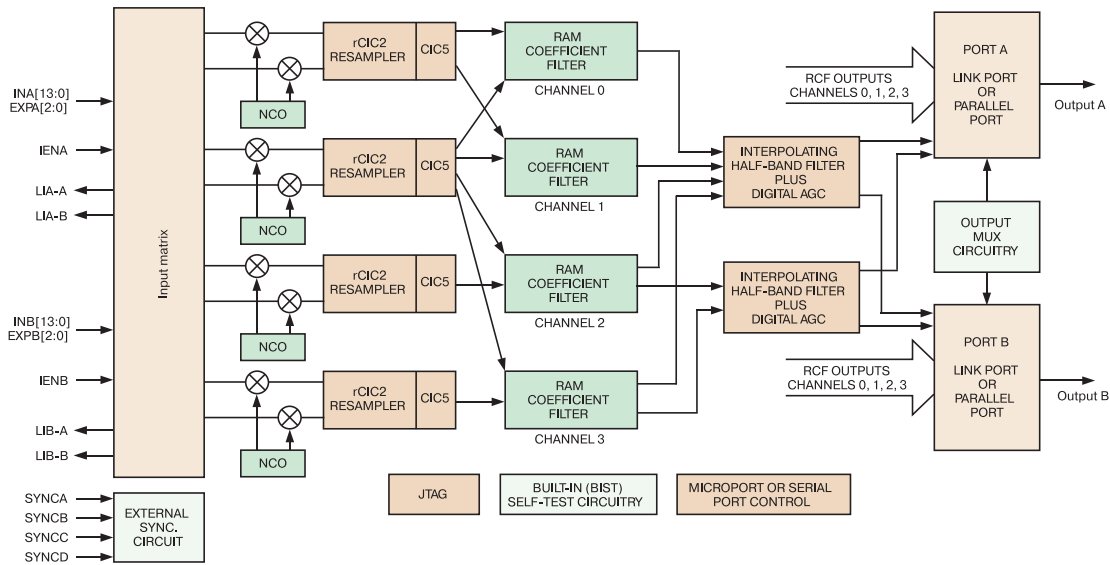


Рис. 4. Функциональная схема цифрового приемного сигнального процессора AD6634

(rCIC2 и CIC5 с фиксированными коэффициентами децимации) и КИХ-фильтра (с программируемым коэффициентом децимации), реализованного с использованием оперативной памяти (Ram Coefficient Filter), поступает на вход интерполирующего полосового фильтра. Выходные сигналы КИХ-фильтров подвергаются дополнительной обработке в интерполирующих полосовых фильтрах (Interpolating Half-band Filter) с цифровой системой автоматической регулировки усиления (Digital AGC).

В интерполирующих фильтрах сигналы из разных каналов комбинируются (складываются и вычитаются) и интерполируются. Каскад цифровой автоматической регулировки усиления имеет диапазон регулирования 96.3 дБ. Чем уже требуется получить полосу пропускания фильтра, тем выше должна быть тактовая частота, ко-

торая определяется коэффициентом децимации фильтров, включенных между выходами смесителей и входом интерполирующего фильтра. При минимальной тактовой частоте (максимальный коэффициент децимации) энергопотребление сигнального процессора минимально.

Сформированный на выходе интерполирующего фильтра 16-разрядный выходной код через высокоскоростной параллельный порт (Parallel Port) или через TigerSHARC совместимый порт связи (Link Port) поступает на выход ИМС для дальнейшей обработки в цифровом сигнальном процессоре (DSP).

Преобразование спектра входного сигнала в смесителе иллюстрирует рис. 5. Широкополосный сигнал на входе смесителя (рис. 5, а) содержит в спектре две боковые составляющие (выделены коричневым цветом).

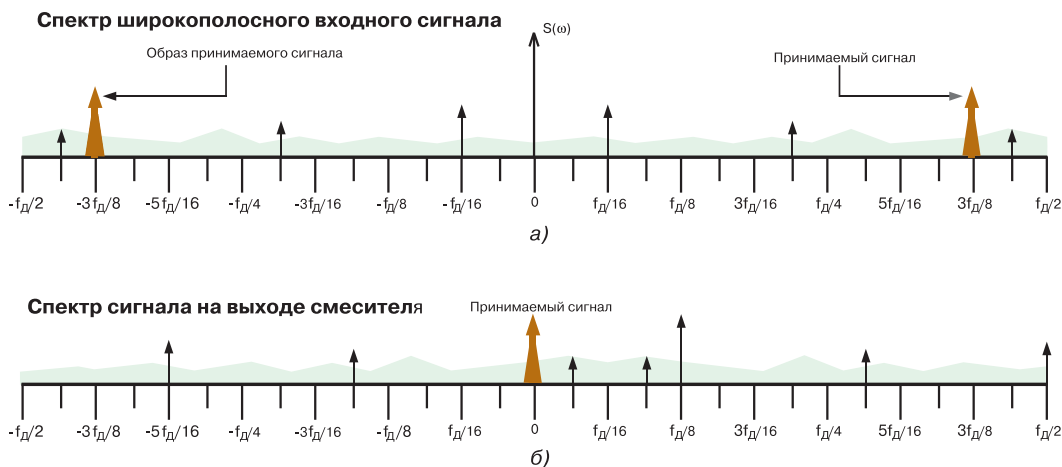


Рис. 5. Спектры сигналов на входе (а) и выходе (б) цифрового смесителя ИМС AD6634

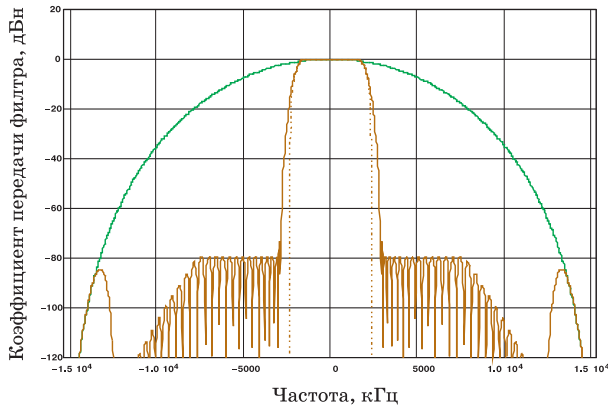


Рис. 6. АЧХ цифрового фильтра в режиме приема сигналов WCDMA

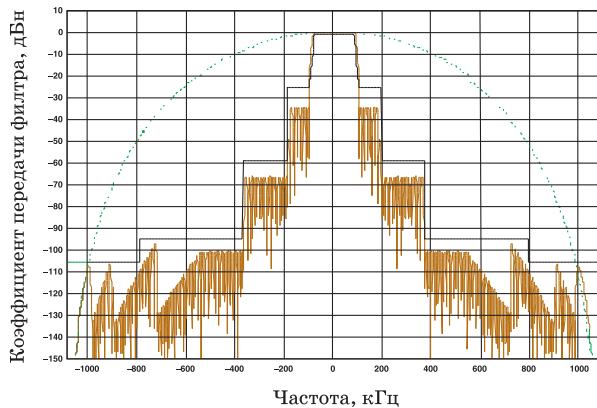


Рис. 7. АЧХ цифрового фильтра при приеме сигналов EDGE

Частота генератора, управляемого кодом (ГУК), выбирается так, чтобы сместить спектр принимаемого сигнала на нулевую частоту. С помощью цифрового фильтра, частотная характеристика которого симметрична относительно нулевой частоты (рис. 6), сигнал выделяется и поступает на интерполирующий фильтр для дальнейшей обработки.

Если AD6634 используется для приема сигналов EDGE, частотная характеристика фильтра и коэффициент децимации изменяются как показано на рис. 7 [6]. Скорость входного цифрового потока в этом режиме составляет 65 МГц/с, а на выходе фильтра – 541.6666 кГц/с. Общий коэффициент децимации фильтра равен 120. В [6] приведены частотные характеристики фильтра в режиме приема сигналов UMTS.

Переход на прием сигналов различных систем связи осуществляется перепрограммированием частотной характеристики цифрового

фильтра и частоты ГУК. Подробные рекомендации по выбору параметров сигнального процессора, расчету его основных характеристик (частоты ГУК, коэффициентов децимации, тактовых частот различных узлов, времени перестройки и др.) и схем подключения к АЦП даны в [6].

AD6635 – четырехканальный цифровой сигнальный процессор для приема сигналов WCDMA – аналогичен по характеристикам ИМС AD6634 [7].

Основные функциональные возможности AD6635:

- четыре входных порта для приема действительных сигналов или два порта – для приема комплексных сигналов
- одновременный прием четырех широкополосных сигналов по каналам связи UMTS и CDMA2000 или восьми сигналов по каналам GSM/EDGE, IS136
- восемь независимых цифровых приемников для приема узкополосных сигналов
- четыре 16-разрядных выходных порта и четыре 8-разрядных Link-порта
- четыре программируемые цифровые схемы автоматической регулировки усиления с динамическим диапазоном регулирования 96 дБ
- цифровая повторная дискретизация для формирования нецелых коэффициентов децимации
- цифровой фильтр с программируемым коэффициентом децимации в каждом канале
- четыре интерполирующих полосовых фильтра.

Остальные характеристики не отличаются от характеристик ИМС AD6634. Функциональная схема состоит из двух одинаковых узлов обработки, каждый из которых повторяет функциональную схему AD6634. Схема управления аналогична схеме ИМС AD6634.

Самый широкополосный из выпускаемых Analog Devices понижающий преобразователь AD6636 [8] позволяет обрабатывать одновременно до шести широкополосных сигналов (UMTS, CDMA2000) со скоростью входного цифрового потока 150 Мбит/с (16 разрядов – мантисса, 3 разряда – экспонента). Преобразователь может работать в режиме с четырьмя одиночными или двумя параллельными LVDS-портами.

Выходной сигнал преобразователя выводится через три параллельных порта со скоростью до 200 Мбит/с (до 34 Мбит/с для каждого из каналов).

Так же, как и все рассмотренные выше преобразователи, AD6636 позволяет обрабатывать как квадратурные, так и простые сигналы. Квадратурные сигналы подвергаются коррекции для уменьшения нелинейных искажений демодулированного сигнала.

Для предотвращения перегрузки входных цепей преобразователя осуществляется непрерывный мониторинг среднеквадратического и пикового значений мощности сигналов, подаваемых на входные порты. В каждом из шести каналов включена цифровая система автоматической регулировки коэффициента усиления с диапазоном регулирования 96 дБ. Цифровые фильтры построены по таким же схемам, как и в других вышеописанных преобразователях.

Управление ИМС осуществляется через последовательный синхронный SPI®- или SPORT-совместимый порт.

AD6636 можно использовать для создания приемников в системах связи GSM, EDGE, PHS, UMTS, WCDMA, CDMA2000, TD-SCDMA, WiMAX, а также для построения измеритель-

ного и тестового оборудования, домашних систем радиотелефонной связи и др.

С функциональной схемой и подробным описанием работы AD6636 можно ознакомиться в [8].

С другими компонентами для построения беспроводных систем связи мы будем знакомить читателей в последующих публикациях.

ЛИТЕРАТУРА

1. Макаренко В. Компоненты для построения беспроводных устройств связи, части 1, 2, 3, 4 // ЭКИС – Киев: VD MAIS, 2009, №№ 3, 4, 5, 6.

2 .
http://www.analog.com/static/imported-files/data_sheets/AD9856.pdf.

3 .
http://www.analog.com/static/imported-files/data_sheets/AD6620.pdf.

4. [http://rp.iszf.irk.ru/hawk/URSI2005/pdf/CP2.14\(01164\).pdf](http://rp.iszf.irk.ru/hawk/URSI2005/pdf/CP2.14(01164).pdf).

5 .
http://www.analog.com/static/imported-files/data_sheets/AD6624.pdf.

6 .
http://www.analog.com/static/imported-files/data_sheets/AD6634.pdf.



Семинары компании Telit Communications PLC

*НПФ VD MAIS и компания Telit Communications PLC приглашают на семинары:
 "Новые продукты компании Telit Communications PLC"*

Семинары состоятся **27 октября 2009 г. в Одессе**, а **28 октября 2009 г. – в Днепропетровске**.

В программе семинаров: обзор модулей, производимых компанией Telit, в том числе GE863-PRO³ со встроенным процессором ARM9 и семейства S864, включающего GSM/GPRS-, CDMA-, UMTS-модули, а также аппаратно-программных средств и областей применения модулей.

Докладчик: **Никола Балдж (Nikola Balj)** – директор по продажам в Восточной Европе компании Telit.

Начало регистрации в 9:30. Продолжительность семинара с **10:00 до 16:00**.

Участие в семинаре бесплатное. Зарегистрировавшиеся участники семинара обеспечиваются комплектом информационных материалов.

Зарегистрировавшиеся участники семинара получают информацию о месте его проведения по каналам связи, указанным ими в заявках.

Заявки на участие в семинаре принимаются до **26.10.2009 г.** В заявке необходимо указать Ф.И.О. участника, название предприятия, должность, номер факса/тел. и e-mail. Заявки принимаются на сайте: www.vdmais.kiev.ua, по факсу: (044) 220-0202 или e-mail: j.schudlo@vdmais.kiev.ua

Контактное лицо: **Юлия Щудло**, тел.: (044) 220-0101, доб. 1215.